

United States Patent
Martin

4,401,991
August 30, 1983

Variable resolution, single array, interlace ink jet printer

Abstract

Multiple-resolution, interlace, ink-jet printing is accomplished pseudo a single array with multiple nozzles by assuming a psuedo pel (picture element) spacing k' between the nozzles. The ratio between the old resolution and the new resolution is k'/k where k is the actual pel spacing between the nozzles. The print-data must be processed and the print head moved based on the pseudo pel spacing k' . The array of nozzles will still print in an interlace manner so long as k' and N_t (the total number of ink jet nozzles used) have no common factor.

Inventors: Martin; Van C. (Boulder, CO)

Assignee: International Business Machines Corporation (Armonk, NY)

Appl. No.: 309964

Filed: October 8, 1981

Current U.S. Class:

347/41; 347/3; 347/104

Intern'l Class:

G01D 015/18

Field of Search:

346/75,103,141

References Cited [Referenced By]

U.S. Patent Documents

<u>4063254</u>	Dec., 1977	Fox et al.	346/75.
<u>4069486</u>	Jan., 1978	Fox	346/75.
<u>4097873</u>	Jun., 1978	Martin	346/75.
<u>4232324</u>	Nov., 1980	Tsao	346/75.

Primary Examiner: Hartary; Joseph W.

Assistant Examiner: Jennings; Derek S.

Attorney, Agent or Firm: Knearl; Homer L.

⑨ 日本国特許庁(JP)

⑩ 特許出願公告

⑫ 特 許 公 報 (B 2)

平3-56186

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公告 平成3年(1991)8月27日

B 41 J 2/13
2/01

9012-2C
8703-2C

B 41 J 3/04

1 0 4 D
1 0 1 Z

発明の数 1 (全21頁)

⑮ 発明の名称 インクジェット・プリンタ

⑯ 特 願 昭57-176508

⑰ 公 開 昭58-72467

⑱ 出 願 昭57(1982)10月8日

⑲ 昭58(1983)4月30日

優先権主張 ⑳ 1981年10月8日㉑ 米国(US)㉒ 309964

㉓ 発 明 者 ヴアン・クリフトン・ アメリカ合衆国コロラド州ボルダー・アルビオン・ウェイ
マーチン 1036番

㉔ 出 願 人 インターナショナル アメリカ合衆国 10504 ニューヨーク州 アーモンク
ビジネス マシーンス (番地なし)
コーポレーション

㉕ 代 理 人 弁理士 山本 仁朗 外1名

審 査 官 大 元 修 二

㉖ 参 考 文 献 特開 昭53-107334 (JP, A) 特開 昭55-91059 (JP, A)

1

2

㉗ 特許請求の範囲

1 一様に離隔され、kDだけ離したノズルを有する複数のノズルNt(ここで、Dはベル間隔の幅、Ntはアレイ上のノズル数のうちのプリントに使用されるノズル数、kは整数である)を含む単一のアレイと、プリントヘッドを記録媒体に対して連続して通過させる手段と、前記プリントヘッドが前記記録媒体を通過する毎に前記プリントヘッドをNt×ベル間隔幅Dだけ並進させる手段と、印刷ライン上に1ベル間隔幅Dだけ並進させる手段と、印刷ライン上に1ベル間隔幅Dだけ離して印刷するために印刷データを処理する手段と、前記プリントヘッドによつて種々の解像度を制御する制御手段とを有するインターレース式のインクジェット・プリンタにおいて、

前記制御手段は、

新しい解像度R'を $(k'/k)R$ (ここで、Rは古い解像度)に等しくするために擬似ベル間隔幅D'を $D'=(k'/k)D$ (ここで、k'は整数で、Ntと共通因数を有しない)に設定する設定手段と、

前記プリントヘッドが前記記録媒体を通過する毎に前記プリントヘッドをNt×擬似ベル間隔幅

D'だけ並進するように前記並進手段を制御するために前記設定手段に応動する並進手段と、

印刷ライン上に使用するノズル数Ntにより1擬似ベル間隔幅D'だけ離して印刷するために前記印刷データを処理するように前記印刷データ処理手段を制御するために前記設定手段に応動するデータ制御手段とを備えたことを特徴とするインクジェット・プリンタ。

発明の詳細な説明

10 本発明は、テキスト又はイメージを印刷するドットプリンタとして用いられ得るインターレース式インクジェット・プリンタに関する。特に、本発明は可変解像度印刷のための改良された単一アレイインクジェット・ノズルシステムに関する。

15 発明の背景

単一アレイ・インターレース式インクジェット・ノズルシステムは米国特許第4069486号明細書に示されている。この特許は、インクジェット・ノズルの単一アレイを用いてインターレース・パターンを印刷するための基準を示している。インターレース・パターン印刷とは、各行(記録紙の移動の方向に沿っている)が1ベル幅

だけ離されている複数の隣り合った行を、1ペル分よりも互いに離隔された複数のプリントノズルを用いて印刷するものとして規定される。インターレース印刷を行うには、プリントヘッドを複数回記録媒体の上から下まで通過させることが必要である。ある行の上に他の行を重ね打ちすることを防止するため、上記特許では、ノズルはアレイ上でkペル分だけ一様に間隔づけられそしてアレイは、紙の上端から下端までプリントヘッドが移動中、この移動方向に垂直にNtペルだけ並進される。Ntはアレイ上のノズル数のうちのプリントに使用されるノズル数である。更に、k及びNtは、共通因数を有しないように選択されている。

本発明者は、一様に間隔づけられたインクジェット・ノズルの多数アレイがインターレース・パターンを印刷するように設計されることを見出した。この設計のための基準は米国特許第4036254号明細書に示されている。

インターレース式プリンタを通信プリント端末装置に適用することにおいて、1つ以上の解像度(画素/cm)で印刷することが望ましく、本発明者はこの問題点を解決するために多数アレイ可変解像度プリンタを提案し、そしてこれは米国特許第4097873号明細書に示されている。

この特許の装置は非常に良く動作したが、これは複数のノズルを用いて可変解像度印刷を行うというゴールに到達する上でアレイを複数個必要とした。勿論、上記特許の装置は、可変解像度印刷を達成するために1アレイ当り単一ノズルを用いるようにされる。しかしながら、このようにすることは望ましくない。何故ならば、動作速度が減少し、又多数ノズルのアレイを複数個製作しそして標準解像度と異なる他の解像度を得るために唯1つだけのノズルを用いるということはコストが高くなるからである。全体的なシステムコスト及び最適効率の観点から、1つのアレイに多数のノズルを形成し、種々の解像度での印刷で略全てのノズルを用いるようにすることが望ましい。

発明の概略的説明

本発明は、種々の解像度で印刷する時に、アレイ上のノズル相互間の一様な間隔に対して擬似的なk(以下、k'とする)ペル間隔を割当てることにより、多数ノズルの単一アレイを用いて可変解

像度の印刷を可能にする。言い代えると、アレイ上のノズル相互間の実際の間隔がkペルであつたとしても、制御システムは、間隔がk'であると見なし、そしてあたかも間隔が新しい解像度 $R' = (k'/k) R$ (ここで、Rは古い解像度である)であるかのようにしてアレイの位置的制御及び印刷データの処理を調整する。

他の面から見ると、第1に、本発明はノズル間の距離が一定であり、そしてkDに等しいものとする(ここで、Dは実際のペル間隔の幅、kはノズル間のこのようなペルの実際の数である)。第2に、上記一定距離は又k'D'として規定され(ここで、D'は擬似ペル間隔幅、k'は擬似ペル数である)。kDはk'D'に等しくしなければならないので、新しいペル間隔幅は次式で与えられる。

$$D' = (k/k') D$$

ここで、k/k'は解像度変化の比である。

もしも解像度が、擬似ペル間隔k'を用いることにより調整されると、通過方向に垂直なアレイの並進移動が調整されなければならない。通過方向のアレイの相対移動は調整される必要がないが、もしも例えば記録媒体の二次元において同じ解像度が望まれるならば調整されてもよい。

本発明を実施する場合、前述の米国特許第4069486号明細書の基準は守られねばならない。換言すれば、アレイ上のノズル間の実際の間隔kは一樣でなければならず、そしてk'及びNtは共通因数を有しない整数でなければならない。本発明では、実際の間隔kはm番目毎のノズルで印刷することにより変更される。したがって、kはmkまで増加することができる(ここで、mは整数である)。勿論、これは、使用されるノズルの総数Ntを減少させるが、 $R' = (k'/mk) R$ であるので、これは又選択され得る個々の解像度数を増大する。

共通因数を有しないk'及びNtに関して、k'の選択に対してNtを減少させることが必要となる。このことは、アレイ上の最後の方の1個又は2個のノズルの印刷動作を禁止することにより達成される。例えば、もしもk=4、Nt=9としそしてk'が3に選択されるとすると、k'及びNtは共通因数を有することになる。この場合、最後のノズルの1つの印刷動作を停止することにより、Ntは8となり、k'及びNtは互いに共通因数を有

しなくなる。

実施例の説明

第1A図～第1E図を参照して本発明を説明する。これらの図は、ノズルの実際のベル間隔及び解像度を調整するための擬似ベル間隔間の関係を示す。全ての例において、ノズル32を9個有する単一アレイ33が示されているが、或る例では全てのノズルが用いられない。アレイ33は、インターレース印刷を行うのに必要な複数位置Pで示されている。第1A図において（ここでkは4である）、4つの位置があり、各位置毎に、前の通過位置に対して9つのベル間隔でインデックスされる。第4図に示すように、アレイは回転プリントドラムのまわりになせんバスを描くように相対移動する。しかしながら第1A～1E図には、垂直方向のインデックスに続く水平バスが示されている。

第1A図には、標準解像度の印刷動作が示されている。この図は如何に可変解像度が達成されるかを示すために、第1B～1E図との比較の基準である。第1B図において、 $k'=2$ であり、従つて $R'=1/2R$ である。kスケールは、ノズル32間の実際のベル間隔を表わす、 k' スケールは、ベル間隔が4でなく2であるとしている。従つて、プリントバス・ラインは k' スケールでは2だけ離隔されそしてkスケールでは4だけ離隔される。即ち、垂直方向の解像度は半分になる。又、アレイは k' スケール上の9にインデックスされねばならず、完全なインターレース印刷が生じる前に2回のバス（P1及びP2）が必要である。

第1E図のファクシミリ4モードは、 $k'=5$ であることを除き第1A図のファクシミリ1モードと同様に働く。従つて、 k' スケールはノズル間の擬似ベル間隔を5にセットし、そして $R'=5/4R$ である。アレイは、 k' スケール上で9つの擬似ベル間隔においてインデックスされ、そして完全なインターレース印刷が開始される前に5回のバス（P1～P5）が必要である。

第1C図のファクシミリ2モード及び第1D図のファクシミリ3モードは全ノズルが使用されないという点で他の解像度モードと異なる。ファクシミリ4モードでは、ノズルN9（最上部から下方に向うノズルをN1～N9とする）は、 k' 及びNtが共通因数を有しないというインターレース

の条件を満たすために用いられない。ファクシミリ2モードでは、 $k'=3$ である。ノズルN9はNtを9から8へ変えるために使用されない。第1C図において、 k' スケールはノズル間に3つの間隔を用い、従つてこの新しい解像度は第1A図の標準の解像度の3/4である（ $R'=(3/4)R$ ）。 $k'=3$ であるので、完全なインターレース印刷が開始するまでにアレイは3回紙を通過する。Ntが8に変更されたので、アレイはこの k' スケールでは、次に紙を通過するまでに8間隔分だけインデックス即ち並進移動される。

第1D図におけるファクシミリ3モードは1つおきのノズルを使用し、従つてkは4から8に変更されている。これにより解像度増分は第1A図、1B図及び1C図の4から8にされる。そして第1D図では k' は7であるので、この新しい解像度は標準解像度の7/8である。 $k'=7$ であるので、完全なインターレース印刷が開始する前に7回のバス（P1～P7）が必要である。又、1つおきのノズルだけが使用されるためにNtは9から5に変更された。従つて、アレイは、或る通過から次の通過までに k' スケール上で5つの間隔だけ並進移動されねばならない。

図示の実施例ではアレイが9つのノズルを有し、そしてノズル間の間隔は実際のベル間隔で4つ分だけであるが、他のノズル数及び間隔は単一アレイの多数ノズル配列に使用されることが出来る。実際のベル間隔を使用する標準の構成及び擬似ベル間隔を使用する他の解像度モードを選択する場合は、前述の特許に述べられているインターレースの基準に従うことだけが必要である。

本発明は前述の米国特許第4097873号明細書に記載されている装置を改善することによつて実施された。従つて本発明の実施例をファクシミリシステムについて説明する。しかしながら、本発明はプリンタ、複写機端末等についても同様に適用され得る。

第2図を参照するに、インクジェット・プリンタ10が示され、そしてこれは、これが書類走査装置11からの標準解像度で印刷を行う時スイッチ12により装置11に接続される。スイッチ12は電子的に制御されるが、説明の便宜上機械的スイッチとして示されている。

ファクシミリの解像度走査の間書類走査装置1

1が書類又は文書を走査している時、スイッチ12は書類走査装置11をデータ圧縮／伸長アルゴリズム14に接続する。この時、プリンタ10はデータ圧縮／伸長アルゴリズム又は書類走査装置11に接続されない。

ファクシミリ・モード解像度で印刷の間、スイッチ12は圧縮／伸長アルゴリズム14をプリンタ10に接続する。この時、書類走査装置11は、圧縮／伸長アルゴリズム14又はプリンタ10に接続されない。

スイッチ12の切換位置はマイクロプロセッサ制御装置15により制御される。この制御装置15は、プリンタ10又は書類走査装置11が圧縮／伸長アルゴリズム14に接続される場合の全動作を制御する。マイクロプロセッサ制御装置15の1つの例はモトローラ社製のモデル6800である。

圧縮／伸長アルゴリズム14は例えばランレングス符号化法のものでもよい。データ圧縮／伸長アルゴリズム14は、書類走査装置11から得られたデータを、例えば1バイトのための8本の線を有するデータバス15'を介してファイルバッファ16へ送る前にデータを圧縮するのに用いられる。例えば、白又は黒の開始又は終了位置だけがファイルバッファ16に供給される。

ファイル・バッファ16はマルチページ・ファイル17にロードする。このマルチページ・ファイル17の一例はディスクファイルである。書類走査装置11から圧縮／伸長アルゴリズム14へそしてファイルバッファ16へのデータの流れはマイクロプロセッサ制御装置15により制御される。

書類走査装置11により走査される書類に関する全てのデータは得られそしてマルチページ・ファイル17に蓄積された後、この蓄積されたデータはマイクロプロセッサ制御装置15により、マルチページ・ファイル17から読出され、データバス15'の一部及びデータバス18（例えば1バイトのための8本の線を有する）を介して伝送バッファ19（これはランダムアクセス・メモリ又はレジスタである）に送られる。この伝送バッファ19は、伝送線（これを介してデータが頻繁に伝送される）へ送り出すに十分なデータを保持しなければならない。

伝送バッファ19は伝送アダプタ20に接続される。伝送アダプタ20は伝送バッファ19からモデム21へのデータの供給を制御する。伝送バッファ19からデータを伝送する時、モデム21は変調器として働く。データを受信する時にはモデム21は復調器として働く。

モデム21からの出力は、例えば電話線のような伝送線を介して、第2図と同様の他の端末へ送られる。従って、データの受信は第2図の端末がデータを受信しているものとして説明する。この場合、モデム21は遠隔地の書類走査装置11から受け取ったデータに対して復調器として働く。

データは、伝送アダプタ20から伝送バッファ19へ送られ、次いでデータバス18及びデータバス15'の一部を介してファイルバッファ16に送られる。次いで、ファイルバッファ16中の受信データはマルチページ・ファイル17に蓄積される。全データが伝送アダプタ20によつて伝送されると、マイクロプロセッサ制御装置15は、これを指示するために信号を伝送アダプタ20から受信する。次いで、マイクロプロセッサ制御装置15は、マルチページ・ファイル17からプリンタ10にデータを伝送する前に、スイッチ12がデータ圧縮／伸長アルゴリズム14をプリンタ10に接続していることを確認する。この時、スイッチ12は、走査装置11を圧縮／伸長アルゴリズム14に接続しない。

マルチページ・ファイル17のデータは、データが遠隔地の書類走査装置11から得られたファクシミリ解像度を示すファクシミリモードデータを含む。このデータはデコーダ23に伝送される。

デコーダ23は、マルチページ・ファイル17に蓄積されたデータがプリンタ10に供給される場合プリンタ10をどのファクシミリモードで動作させるかを決定するために上記ファクシミリモードデータを解読する。全てのファクシミリモードは、プリンタ10がインクジェット複写機として働くために走査装置11に接続される場合異なる解像度を有している。デコーダ23に供給されるファクシミリモードデータがない場合、デコーダ23は、走査装置11がスイッチ12によりプリンタ10に接続される場合の標準解像度のた

めの出力を与える。

マルチページ・ファイル17からプリンタ10へデータが伝送されると、デコーダ23からプリンタ10への信号によりこれは所望のフアクシミリ解像度で印刷することができる。これがフアクシミリモードであり、この時データは遠隔地の書類走査装置11から送られる。

第3図を参照するに、印刷データ処理装置は、印刷のためのセグメントにデータを編集するためのソース編集装置、印刷データをバッファするための主メモリ及びこのバッファされた印刷データを正しい所定のノズルに与えるアドレス発生制御装置を有する。後述するように、印刷データ処理装置は、走査ライン上に印刷するデータを準備する。これら走査ラインは、この印刷データの処理時に擬似ベル間隔スケール k' を用いることにより或る擬似ベル間隔 D' だけ離されている。

第3図に示すように、プリンタ10は、インクジェット・ノズル(第4図)からのインクを受けとるように支持される記録媒体31を有する円筒状ドラム30を含む。このインクジェット・ノズル32はこれらが相互に等しい間隔だけ離されて一列に並べられた単一アレイ33に配列される。ノズル32の間隔は前記米国特許第4069486号明細書のようにされてもよい。

インクジェット・ノズル32にアレイ支持体38上に支持されているとして概略的に示されている。インクジェット・ノズル32及びこれに関連する制御機構は、従来この分野で公知であるので説明しない。このインクジェットは連続流出型のものでもよく又はドロップ・オン・デマンド型のものでもよい。

アレイ支持体38は、ドラム30の軸に平行な方向にアレイ駆動モータ44により駆動される。アレイ駆動モータ44は親ねじ45を回転し、そしてこの親ねじにはアレイ支持体38が取付られているので、親ねじ45の回転は、ドラム30の軸に平行な方向におけるアレイ支持体38の直線移動に変換される。

ドラム30は、適切な手段(図示せず)によりこれの軸の周りで回転できるように支持されている。ドラム30は第5図のドラムモータ46により回転される。ドラムモータ46の回転速度は、速度制御装置47(第2図及び第5図)により制

御され、そしてこの速度制御装置47は、標準解像度(これは、プリンタ10がスイッチ12により書類走査装置11に接続され、従つてこの装置はインクジェット複写装置として働く時のものである)が用いられるか又は複数のフアクシミリ解像度のうちの1つが使用されるかに従つてモータ46の速度を選択する。速度制御装置47は、第2図及び第5図に示すようにデコーダ23から信号を受けとる。同様に、速度制御装置48(第2図及び第4図)は、アレイ駆動モータ44に接続されてこれの回転速度を制御する。モータ44の回転速度は、標準の解像度又は複数のフアクシミリ解像度のうちの1つが印刷に用いられるかに関連してデコーダ23からの信号に従つて選択される。

ソース編集装置51(第2、3及び6図)はデコーダ23から制御信号を受けとる。このソース編集装置は、データをインターレース印刷のために配列する。印刷で用いる解像度に従つて、ノズルの数が選択、変更され、そして用いるノズルが変えられる。従つて、デコーダ23により解読されたフアクシミリ解像度に従つて、印刷データワードの寸法又は大きさが変わり、そしてメモリ内のその記憶位置はソース編集装置51により変えられる。ソース編集装置51の詳細は第6図を参照して後述する。

プリンタ10は、これが種々のフアクシミリ解像度で動作される点を除き前述の米国特許第4069486号明細書のものと同様の回路を有する。即ち、プリンタ10は、クロック信号発生装置50(第3図)を含み、そしてこの装置50は前記米国特許と同様の信号を生じる。即ち、クロック信号発生装置50は、ドラム同期信号に応答して制御されるライン同期信号、データクロック・パルス、アレイクロック・パルス及びサイクルクロック・パルスを供給する。しかしながら、フアクシミリモード解像度に対する各ドラム同期信号毎のデータクロック・パルス、アレイクロック・パルス及びサイクルクロック・パルスの数は、標準解像度の時のものと異なる。これらクロック信号の関係は第10図に示される。

第10図を参照するに、クロック信号発生装置50は、マスタオシレータ50Aを含む、このマスタオシレータ50Aは、クロック発生回路50

B, 50C, 50D, 50E及び50Fに接続される。プリンタ50が印刷を行う時、これらのクロック発生回路50B, 50C, 50D, 50E及び50Fの1つが或る特定の解像度に対して選択される。この特定の解像度はデコーダ23によつて決定され従つてこのデコーダ23の出力は、クロック発生回路50B, 50C, 50D, 50E及び50Fの夫々に接続されている。

クロック発生回路50Bは、標準解像度のための種々のクロック信号を発生し、一方クロック発生回路50C, 50D, 50E及び50Fは、種々のフアクシミリモードの解像度のためのクロック信号即ちクロックパルスを発生する。前記米国特許におけるように、クロック発生回路50B, 50C, 50D, 50E及び50Fの夫々は、マスタオシレータ50Aからのパルスに基づき第10図の種々の出力パルスを生じるための計数回路、論理回路、微分回路及び積分回路を有する。

第3図に示すように、クロック信号発生回路50は、2つのクロック信号即ちデータクロック信号及びライン同期信号を書類走査装置11に供給し、そして3種類のクロック信号全て即ちデータクロック信号、サイクルクロック信号及びライン同期信号をソース編集装置51に供給する。ソース編集装置51は、書類走査装置11又はデータ圧縮/伸長アルゴリズム14のいずれかからデータを受取るようにスイッチ12を介して接続される。

データ圧縮/伸長アルゴリズム14は省略されることができ、しかしながらこの省略によつてデータの伝送速度は遅くなる。もしもデータ圧縮/伸長アルゴリズム14が省略される場合には、スイッチ12は、書類の走査の間伝送バッファ19に直接に接続される(第2図)。

ソース編集装置51は2つのメモリ領域を有しそしてこれらの夫々は、スイッチ12の位置に従つて書類走査装置11又はデータ圧縮/伸長アルゴリズム14からの連続データラインを蓄積する。データがソース編集装置51のメモリ領域のうちの一方に記憶されている時に、このソース編集装置51の他方のメモリ領域内のデータが主メモリ52へ選択的に供給される。

ソース編集装置51は、クロック信号発生装置

50からの3種類のクロック信号の全てを受けとる。即ち、書類走査装置11へ供給されるデータクロック信号及びライン同期信号に加えて、ソース編集装置51はクロック信号発生装置50からサイクルクロック信号を受けとる。クロック信号発生装置50により発生されるクロック信号の周波数は、解像度が標準のものであるか又はフアクシミリモードのものであるかに依存する。

ソース編集装置51は入力信号値発生装置53から更に3つの信号を受けとる。入力信号値発生装置53からソース編集装置51に与えられる3つの信号は、ライン値L、ノズル値N及びワード値Wである。L, N及びWの振幅は標準解像度及びフアクシミリ解像度の各々に対して異なる。したがつて、選択された解像度はこれらの3つの信号の値を決定する。

プリンタ10が標準解像度で働くか又はフアクシミリモードの解像度で働くかを示す信号に加えて、入力信号値発生装置53は、この選択された解像度及びレジスタ54に蓄積されたプリセット値に従つてクロック信号発生装置50からライン同期信号及びデータクロック信号を受信する。レジスタ54の内容は、像を形成するための記録媒体31のドラム30に対する不整列を表わす。不整列が生じなければ、レジスタ54に蓄積されている値は零である。

第7図に示すように、入力信号値発生装置53はL, N及びWを発生するためにカウンタを用いる。ノズルカウンタ136はデータクロックにより歩進される。これはNtに等しいカウント(計数値)に列達する毎に比較回路134により零にリセットされる。比較回路134は、ノズルカウントとデコーダ23から受信されるNtとを比較する。デコーダ135は、ノズルカウントをモニタし、そして付勢ノズルを示すスイッチ57へのN1~N9のうちの1つの出力線を上昇させる(第3及び8図)。

ノズルカウンタ136に対するリセット信号は又、ワードカウンタ133に対する歩進カウント信号である。ワードカウンタは比較回路131により零にリセットされる。この比較回路はワードカウントWをB(プリントセグメント当りのワードの数)と比較する。或る1つのセグメントが満杯にされる毎にワードカウンタは零にリセットさ

れそして次のセグメントにおけるワードの計数を開始する。

ラインカウンタ139はライン同期パルスにより増加される。これは、ラインカウントを Nt と比較する比較回路140により零にリセットされる。ドラム30の一回転の間のライン同期パルス発生装置62(第5図)からのライン同期パルスの数は、 Nt に等しく選択される。かくして、第7図のカウンタ139からのカウント L は走査線カウントモジユロ Nt である。

第3図を参照するに、ソース編集装置51に蓄積されているデータはアドレス発生装置55からのアドレスに従って主メモリ52の記憶位置に供給される。このアドレス発生装置55(第9図)は、次のようにしてアルゴリズムの主メモリアドレスに従ってアドレスレジスタ56へアドレスを供給する。

$$\text{アドレス} = B(L \text{ MOD}(k'N + dL)) + dN + W$$

ここで、 L は走査線の数であり、MODはモジユロを意味し(即ち数のベース($k'N + dL$)への変換)であり、 N はアレイのノズル32の数であり、 k' は整数ベルで表わしたノズルアレイの擬似ノズル間隔であり、 dL は、第1番目のノズルが印刷を開始する前に蓄積されている走査データライン数であり、そしてこの場合は零であり、 B はセグメント当りのメモリワード数であり、そして dL はノズル数 N に対して割り当てられたメモリ内の第1のアドレスであり次式で表わされる。

$$dN = BN((k'/2)(N-1) + dL)$$

そして W は、ワード値(モジユロ B)である。 $L \text{ mod}(k'N + dL)$ はノズル毎に独立のカウンタ(図示せず)を必要とすることに注目されたい。 dN 値はアドレス発生装置55内の読取専用メモリに記憶されることができる。

アドレス発生装置55は、入力信号値発生装置53により発生される L 、 N 及び W の大きさ並びにアドレス入力デコーダ56'からの信号 B 及び k' の大きさに従って、アドレスをアドレスレジスタ56に供給する。かくして、アドレス入力デコーダ56'の出力は、どのフアクシミリ解像度が選択されたか又は標準解像度が選択されたかに依存する。アドレス発生装置55の出力をアドレスレジスタ56に挿入することにより、アドレスレジスタ56はソース編集装置51からのデータを

挿入するための主メモリ52の位置の選択を制御する。

スイッチ57は、入力信号値発生装置53からのノズル値 N の大きさ及びデコーダ23からの解像度モードの制御の下にある。スイッチ57及びノズルレジスタ58の詳細は第8図を参照して後述する。

主メモリ52内に記憶された信号は、インクジェット・ノズル32を通しての記録媒体31へのインクの付着を制御する。アレイ支持体38のアレイ駆動モータ44により軸方向に駆動され(第4図)、一方ドラム30はドラムモータ46により回転されるので(第5図)、ノズル32の各々は、ドラム30上の記録媒体31の周りにらせんを描く。ノズル32がらせんを生じるので、インクは特定なノズルから各セグメントで印加されるか又は主メモリ52の蓄積データからの入力に依存しないかのいずれかである。

クロック信号発生装置50(第3図)は、主メモリ52で読取りサイクル及び書き込みサイクルが連続的に生じるように主メモリ52に読出し/書き込み制御信号を供給する。クロック信号発生装置50からの読出し/書き込み信号は、周波数が或る選択された解像度によって決定されるサイクルクロックである。読出し制御信号は、サイクルクロックが上昇レベルの時に生じ、そして書き込み制御信号はサイクルクロックが降下レベルの時に生じる。重ね書きによって有用なデータが破壊されないように読出しサイクルが最初に生じることが必要である。

各読出しサイクル中、アドレス発生装置55によって発生された各メモリ・アドレスは、データを主メモリ52からスイッチ57を介してアレイ33に読出す。

読出しサイクルが終了すると、アドレス発生装置55から供給されるアドレスに従って新しい画像情報が書き込みサイクル中主メモリ52に蓄積される。

ドラム同期パルス発生装置62からドラム同期信号がクロック信号発生装置50データ圧縮/伸長アルゴリズム14(第2図)及びファイルバッファ16に印加される。このことは、要求された蓄積量を生じるように主メモリ52のデータの繰上げ及び繰下げを防止する。

ドラム同期パルス発生装置 6 2 は、円板 6 3 の周辺に配置された刻みが付けられている透明な線を有する第 1 の円板 6 3 (第 5 図)を含んでいる。この透明な線の数は、アレイ 3 3 のノズル 3 2 の数に等しい。従つて、説明中の実施例の場合には円板 6 3 の透明線の総数は 9 本である。

ドラム同期パルス発生装置 6 2 は又、円板 6 3 A の周辺に配置された刻みが付けられている透明な線を有する第 2 の円板 6 3 A を含んでいる。この透明な線の総数は、 $k'=3$ の場合に使用されるノズルの総数に等しい。かくして、説明中の実施例では円板 6 3 A の周辺には総計 8 本の透明線がある。

また、ドラム同期パルス発生装置 6 2 は、円板 6 3 B の周辺に配置された刻みが付けられている透明な線を有する第 3 の円板 6 3 B を含んでいる*

る。この透明線の数は、 $k'=7$ の場合に使用されるノズルの総数に等しい。かくして、説明中の実施例では、円板 6 3 B 上の透明線の総数は 5 本である。

5 円板 6 3, 6 3 A 及び 6 3 B はドラム 3 0 と共に回転するようにとりつけられている。円板 6 3 は光源 6 4 と検出器 6 5 の間で回転し、検出器は光源 6 4 からの光を検出する毎にドラム同期信号を発生する。検出器 6 5, 6 5 A 及び 6 5 B から
10 の信号は、標準解像度又はファクシミリモード解像度の 1 つが使用されるかどうかに従つて選択される。

次の表は、種々の解像度を得るための、アレイ上のノズル数のうちのプリントに使用されるノズル数 N_t 、擬似ペル間隔 k' のデータ構成及びクロック周波数を示す。

	表				
	標準	ファクシミリモード 1	ファクシミリモード 2	ファクシミリモード 3	ファクシミリモード 4
N_t	9	9	8	5	9
k	4	4	4	8	4
k'	4	2	3	7	5
解像度					
(ペル/2.54cm)	240	120	180	210	300
(ペル/cm)	94	47	71	83	118
C (データ・クロック・パルス又はビット/走査線)	2880	1440	2160	2520	3600
H (ビット/ソース編集装置アドレス)	8	8	9	8	8
$S=C/H$ (ソース編集装置アドレス; メモリサイクル/走査線)	360	180	240	315	450
$b=C/N_t$ (ビット/セグメント)	320	160	270	504	400
G (ビット/ワード)	8	8	9	8	8
$B=b/G$ (メモリワード・セグメント)	40	20	30	63	50

第 6 図に示すように、ソース編集装置 5 1 は、スイッチ 1 2 の位置によつて、書類走査装置 1 1 又はデータ圧縮/伸長アルゴリズム 1 4 のいずれ
40 から供給されるデータ信号を有するシフトレジスタ 6 7 を含む。これらの信号は、クロック信号発生装置 5 0 (第 3 図)からのデータクロック信号の制御の下でシフトレジスタ 6 7 でシフトされ

る。

シフトレジスタ 6 7 は 9 ビットを蓄積しそして 9 本の並列出力線を有する。これらの出力線は、ゲート 6 8 及びスイッチ 6 9 によつて、2 つの入力データレジスタ 7 0 及び 7 1 の一方又は他方に印加される。入力データレジスタ 7 0 及び 7 1 は、ランダムアクセスメモリ 7 2 及び 7 3 に夫々

接続されている。

シフトされるデータ信号を制御するためにクロック信号発生装置 50 からシフトレジスタ 67 に供給されるデータクロック信号に加えて、データクロック信号はまた 1〜9 カウンタ 74 に印加される。このカウンタは、印刷されるべき解像度によつて 8 又は 9 の各カウントでゲート 68 の動作可能にしこのカウンタ 74 をリセットする信号を与える。標準解像度及びファクシミリモード 2 を除き全てのモードの解像度の間、カウンタ 74 は 8 まで計数し、そしてゲート 68 を動作可能にしこのカウンタ 74 をリセットする信号を発生する。ファクシミリモード 2 の解像度の間、カウンタ 74 は、ゲート 68 を動作可能にし、カウンタ 74 をリセットする信号を与えないうちにカウン

ト 9 まで計数する。
このカウンタ 74 は、ゲート 68 を動作可能にしカウンタ 74 をリセットする信号を発生する前に 8 又は 9 まで計数するかどうかを決定するためにデコーダ 23 から入力を受信する。したがつて、ファクシミリモード 2 以外の全解像度の間中シフトレジスタ 67 の最初の 8 ビットだけは意味を持ったデータを有し、一方ファクシミリモード 2 の解像度の間中シフトレジスタ 67 の 9 ビットは有用な情報を含んでいる。ゲート 68 を動作可能にすることにより、シフトレジスタ 67 の内容は並列にスイッチ 69 に印加される。これによりシフトレジスタ 67 の内容は入力データレジスタ 70 及び 71 の一方へ印加される。

スイッチ 69 は、入力データレジスタ 70 及び 71 のどちらがシフトレジスタ 67 からデータを受信するかを決定するためにそれに印加されたトリガ 75 によつて発生された制御信号を有する。トリガ 75 は、印刷されるべき解像度に従つてクロック信号発生装置 50 のクロック発生回路 50 B, 50 C, 50 D, 50 E 及び 50 F (第 10 図) の 1 つからライン同期信号を受信する。よつて、トリガ 75 (第 6 図) は各ライン同期信号毎に状態を変える。したがつて、1 走査ライン周期の間、シフトレジスタ 67 の内容は入力データレジスタ 70 に並列に 9 ビット連続して印加される。次の走査ライン周期の間、シフトレジスタ 67 の内容は同様に入力データレジスタ 71 に印加される。

シフトレジスタ 67 の全 9 ビットが入力データレジスタ 70 及び 71 の一方に並列に連続して印加されるが、ファクシミリ 2 モードの解像度を除く全てが印刷されるべき場合、最初の 8 ビットのみが有用な情報を含むことを理解すべきである。ファクシミリ 2 モードの解像度が印刷されるべき場合、シフトレジスタ 67 の全 9 ビットは意味のある情報を含む。

入力データレジスタ 70 のデータは、アドレスレジスタ 76 から供給されるアドレスに従つてメモリ 72 の記憶位置に蓄積される。同様に、入力データレジスタ 71 の内容は、アドレスレジスタ 77 からのアドレスにより規定される記憶位置でメモリ 73 に蓄積される。

アドレスレジスタ 76 及び 77 の夫々に挿入された実際のアドレスは 1〜450 を計数することができるカウンタ 78 によつて発生される。何故ならば、そのことはメモリ 72 又は 73 のいずれかに要求されるアドレスの最大数であるからである。このカウンタ 78 が計数する数は、要求されるソース編集装置のアドレス数に依存する。前記表に示すように値 450 は、解像度に対する走査ライン当りのソース編集装置のアドレス数であるが、種々の解像度に対する走査ライン当りのソース編集装置のアドレス数は、180 から 450 まで変化する。

ランダムアクセスメモリ 72 及び 73 の夫々の 450 のアドレス可能位置の各々は 9 ビットを含んでいるので、メモリ 72 及び 73 の各々は単一走査ラインの 4050 ビットを収容する能力を有する。メモリ 72 及び 73 の各々は、450 のアドレス可能位置毎に 9 ビットを記憶するが、ファクシミリ 4 モードの解像度の間中最大の 450 のアドレス可能位置が使用される場合、8 ビットだけが有用な情報を含む。

カウンタ 78 の出力は、スイッチ 79 の位置によつてアドレスレジスタ 76 又は 77 のいずれかにスイッチ 79 によつて印加される。このスイッチ 79 の位置は、スイッチ 69 と同様な方法でトリガ 75 からの制御信号状態によつて決定される。

したがつて、トリガ 75 からの制御信号が 1 状態であると、カウンタ 78 の出力はレジスタ 76 に挿入され、この時スイッチ 69 及び 79 が同時

に動作するので、シフトレジスタ 67 からのデータは入力データレジスタ 70 に印加される。トリガ 75 の状態が変化するとスイッチ 69 及び 79 は、カウンタ 78 がアドレスレジスタ 77 に同時に接続され、シフトレジスタ 67 からのデータは入力データレジスタ 71 に供給されるように変化する。したがって、走査ラインの内容はメモリ 72 及び 73 に交互に挿入される。

デコーダ 80 は又カウンタ 78 の出力に接続されている。このデコーダ 80 は、走査ライン当りのソース編集装置のアドレスに従ってカウンタ 78 の計数值を解釈し、次の走査ラインを処理するためにカウント値 1 でカウンタ 78 をリセットする。デコーダ 80 はデコーダ 23 に接続され、デコーダ 80 はカウント値 450 で解釈し、フアクシミリ 4 モードの解像度の場合カウンタ 78 をリセットする。標準の解像度の場合、デコーダはカウント値 360 で解釈し、カウンタ 78 を 1 にリセットする。同様に、フアクシミリ 1、フアクシミリ 2 及びフアクシミリ 3 モードの解像度の場合、デコーダ 80 はカウント値 180、240 及び 315 の夫々を解釈し、カウンタ 78 を 1 にリセットする。

アドレスレジスタ 76 及び 77 が夫々接続されているメモリ 72 又は 73 にアドレスを供給するためにカウンタ 78 がスイッチ 19 によりレジスタ 76 及び 77 の一方へ接続されると、このアドレスレジスタ 76 及び 77 の他方はスイッチ 82 を通してアドレス発生装置 81 に接続される。スイッチ 82 は、トリガ 75 の状態制御の下であるが、スイッチ 69 及び 79 に印加される信号と反対の信号を受信する。即ち、トリガ 75 からの制御出力はスイッチ 82 に供給されると同時に、このトリガ 75 からの制御信号はスイッチ 69 及び 79 に供給される。このことは第 6 図において示されている。

したがって、アドレスレジスタ 76 及び 77 の一方がカウンタ 78 に接続される時、これらの他方にはアドレス発生装置 81 から或るアドレスが供給されている。これは、その時に蓄積されているデータを有しないメモリ 72 又は 73 をアドレスするのに使用され、これによりメモリ 72 又は 73 のデータが、これがメモリ 72 及び 73 の他方に書込まれる時に読出される。

アドレス発生装置 81 は次のアルゴリズムに従

ってアドレスを発生する。

$$\text{アドレス} = B((L + k'N) \text{ MOD } Nt) W$$

ここで L は走査ライン数、k' は整数擬似ベルで表わされたアレイ内の擬似ノズル間隔、N はアレイ内のノズル総数、MOD はモジュロ即ちこの数をベース Nt になおしたものであり、そして Nt、B 及び W は前述のように規定された通りである。

従って、アドレス発生装置 81 は、入力信号値発生装置 53 から L、N 及び W 出力を受信し、一方 B、Nt 及び k' 出力はデコーダ 23 から与えられる。このデコーダ 23 は、プリンタ 10 が動作する解像度に従って出力を生じる。デコーダ 23 は単に読取り専用メモリでもよい。各解像度モードの場合に、この読取り専用メモリは前記表に従って B、Nt 及び k' を読出す。

メモリ 72 (第 6 図) がアドレス発生装置 81 からアドレスを受信するとメモリ 72 に蓄積されたデータは出力データレジスタ 85 に転送される。次の走査ラインの間、メモリ 72 のデータが出力データレジスタ 85 に転送されていた間にメモリ 73 に蓄積されたデータは出力データレジスタ 86 に転送される。したがって、メモリ 72 及び 73 の夫々の内容は 1 つの走査ラインの間蓄積されそして次に続く走査ラインの間取り出される。

出力データレジスタ 85 及び 86 はスイッチ 87 を介して主メモリ 82 (第 3 図) に接続される。スイッチ 87 はトリガ 75 の状態のうちスイッチ 82 と同じ状態に応答する。したがって、スイッチ 82 がアドレス発生装置 81 をアドレスレジスタ 77 に接続してメモリ 73 内のデータを出力データレジスタ 86 へ転送する時、スイッチ 87 は、出力データレジスタ 86 を主メモリ 52 に接続する。メモリ 72 がデータを出力データレジスタ 86 へ転送する位置にスイッチ 82 がある時、スイッチ 87 は出力データレジスタ 85 を主メモリ 52 に接続する。

主メモリ 52 からメモリワードが読出されると、これらはデコーダ 23 からの解像度モードに従ってスイッチ 57 によりレジスタ 58 内の適切なノズルレジスタに送られる。第 8 図に示されるように、スイッチ 57 は 9 つのゲートを有する。このゲートは能動ノズル信号 N1 ~ N9 (第 7 図) 及びデコーダ 23 からのモードにより動作可

能にされる。例えば、ノズルレジスタ1のためのゲート150はN1により動作可能にされる。ノズルレジスタ2のためのゲート151はもしも解像度モードがファクシミリモード3でないならばN2により動作可能にされる。ファクシミリモード3では、ノズルN2は使用されない。ファクシミリ3の同じゲート条件はノズルレジスタ4, 6及び8のためのゲートに対して真である。ノズルレジスタ3のためのゲート152はファクシミリ3を除くあらゆるモードのN3により動作可能にされる。ファクシミリ3のためのゲート152はN2により動作可能にされる。これは、ファクシミリ3モードでは第2番目のノズルはスキップされそして第3番目のノズルがこれがあたかも第2番目のノズルであるかのように印刷を行うためである。同様なゲート条件はノズルレジスタ5, 7及び9のためのゲートに適用される。さらに、ノズルレジスタ9のためのゲート153はまた、ノズルN9が使用されない場合ファクシミリ2モードで禁止される。

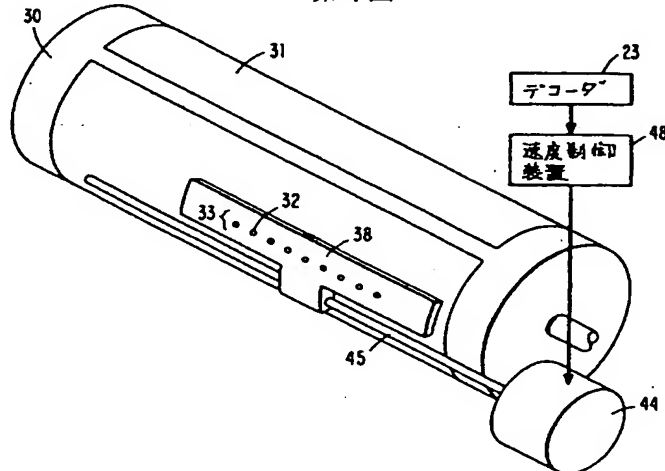
図面の簡単な説明

第1A図、第1B図、第1C図、第1D図及び第1E図は標準解像度及び他の選択された解像度をインターレース式で印刷するために複数のイン

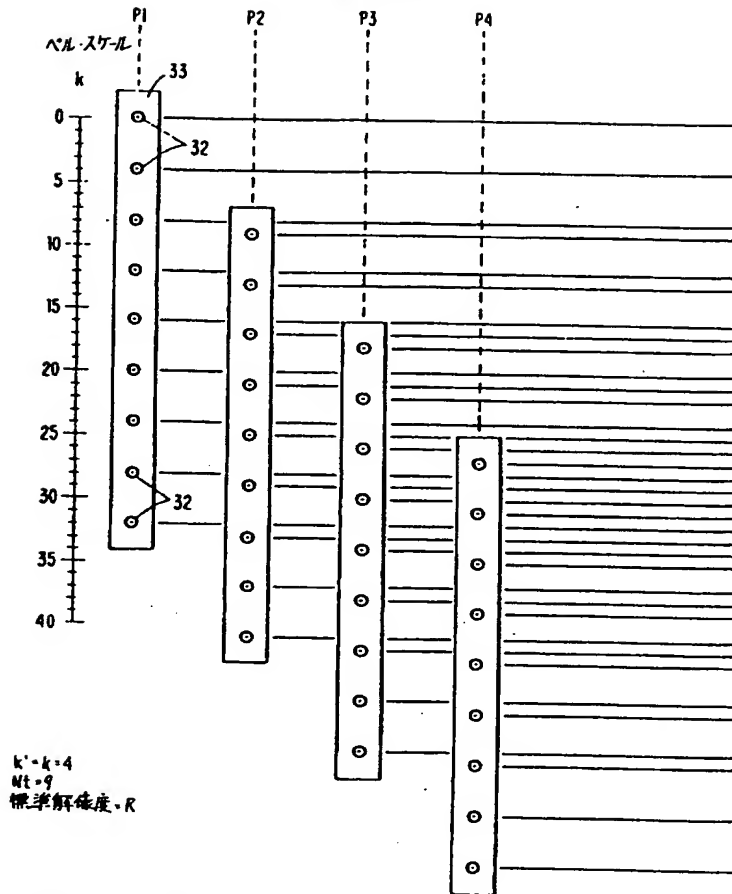
クジェットノズルの単一アレイによる多数の印刷軌跡を示す図表、第2図は本発明によるファクシミリ端末の概略的回路図、第3図は選択された解像度でインターレース印刷するために印刷データを形成する印刷データ処理装置の概略的回路図、第4図は印刷ドラムの長手方向に向って並進されるように制御される9ノズルの単一アレイ及び制御装置を示す図、第5図はドラム速度の制御及びドラム周期信号の発生装置を示す図、第6図は第3図に示したソース編集装置51を詳細に示す回路図、第7図は第3図の入力信号値発生装置53を詳細に示す回路図、第8図は第3図のスイッチ57及びノズルレジスタ58を詳細に示す回路図、第9図は第2図のアドレス発生装置55を示す回路図、第10図は第3図のクロック信号発生装置50の回路図。

10……インクジェットプリンタ、11……書類走査装置、23……デコーダ、44……アレイ駆動装置、50……クロック信号発生装置、51……ソース編集装置、52……主メモリ、53……入力信号値発生装置、55……アドレス発生装置、56'……アドレス入力デコーダ、57……スイッチ、58……ノズルレジスタ。

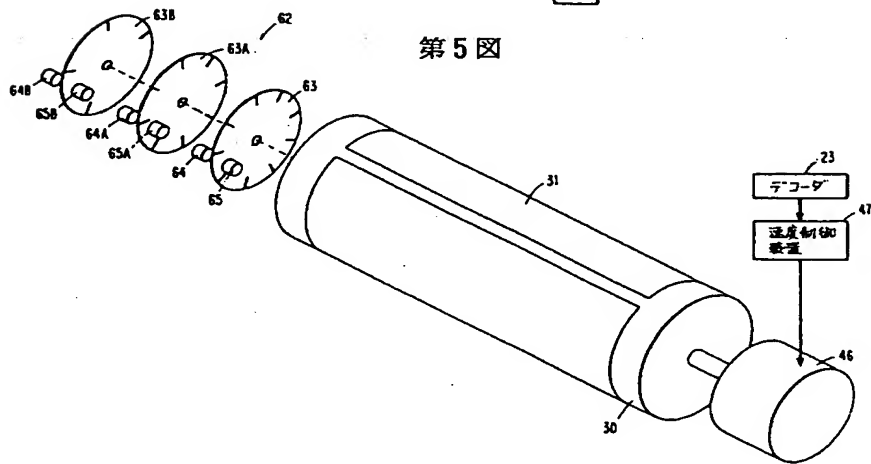
第4図

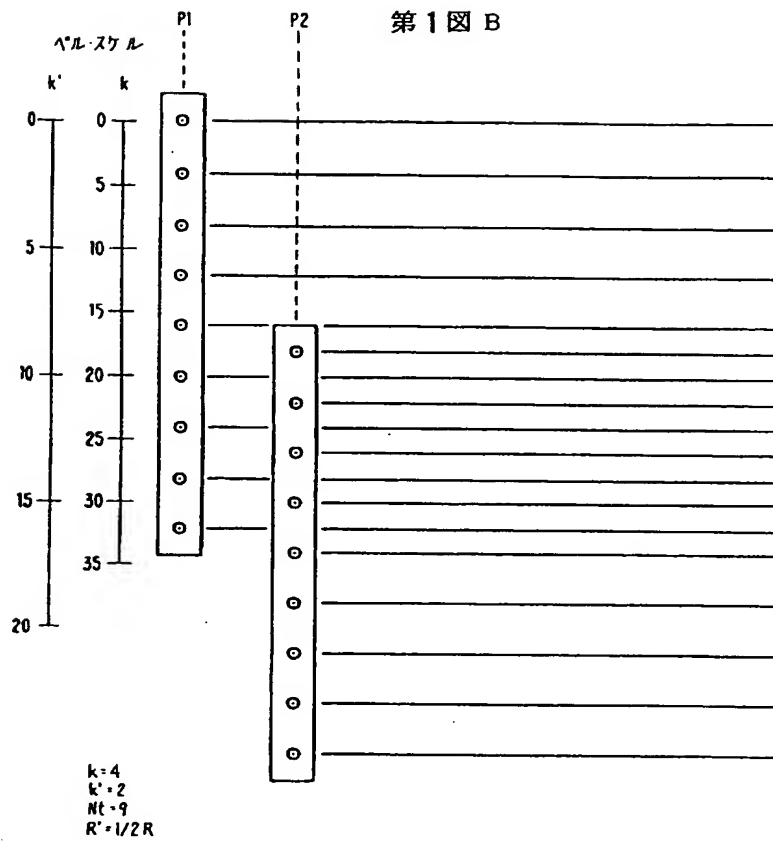


第1図 A

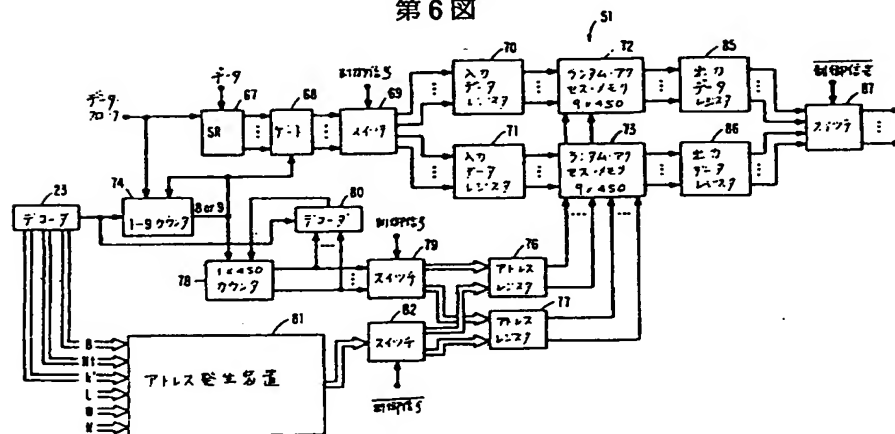


第5図

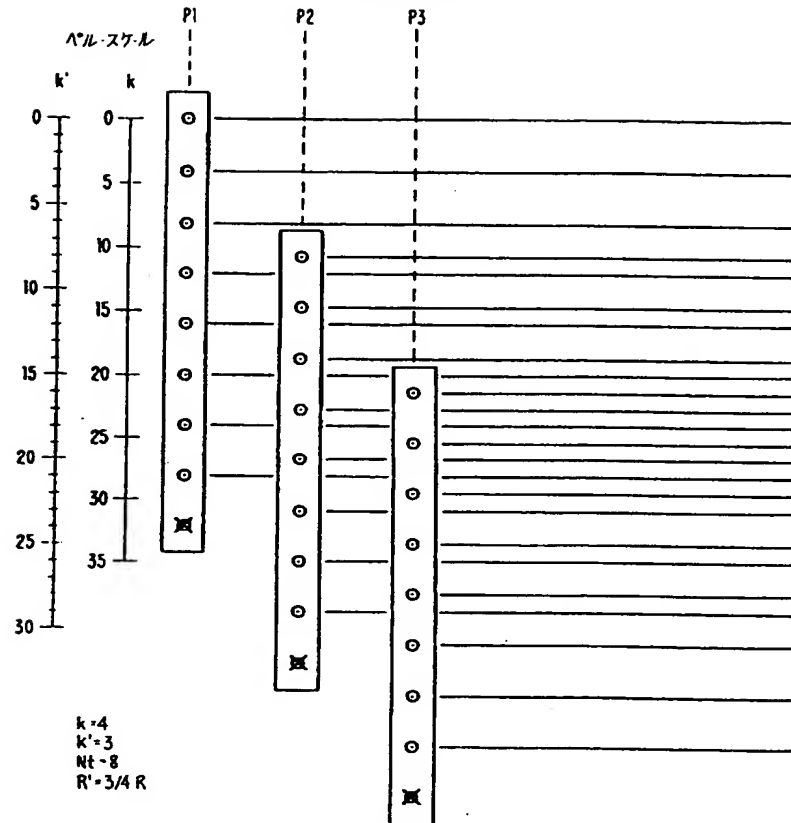




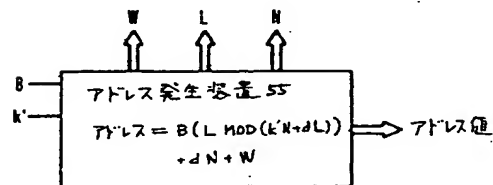
第6図



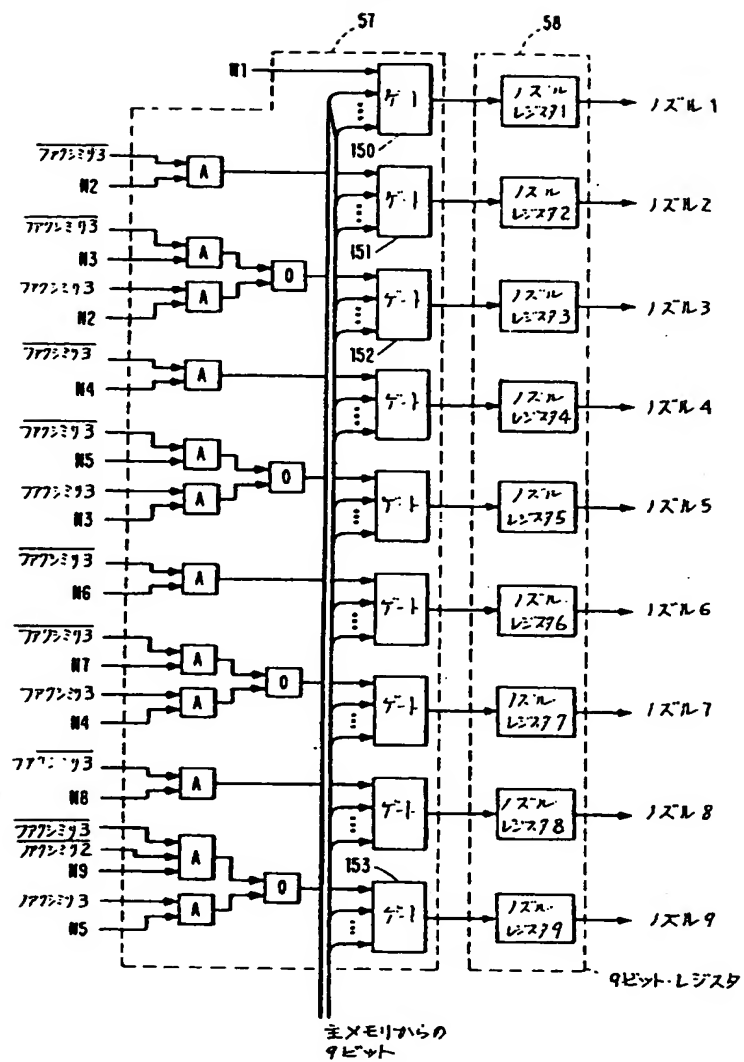
第1図C



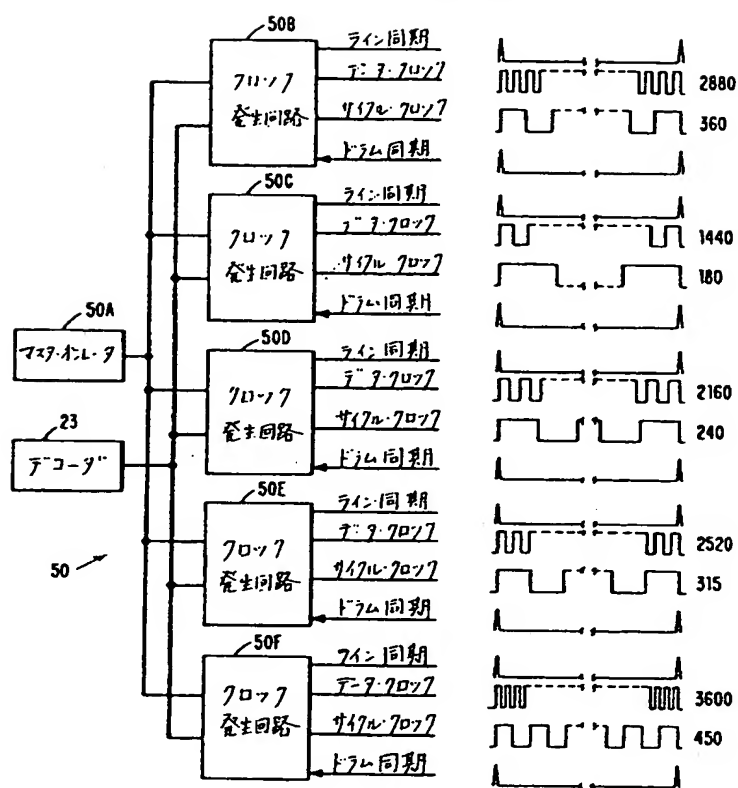
第9図



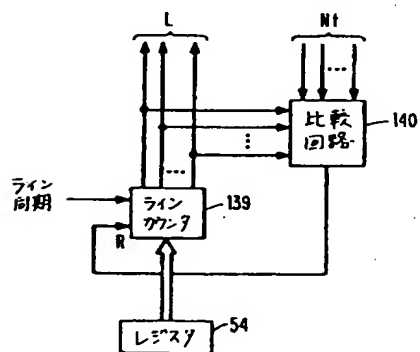
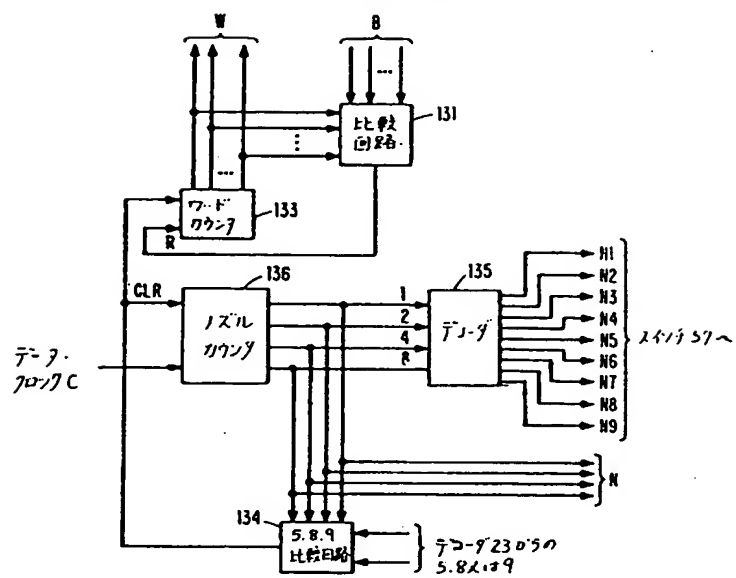
第 8 図



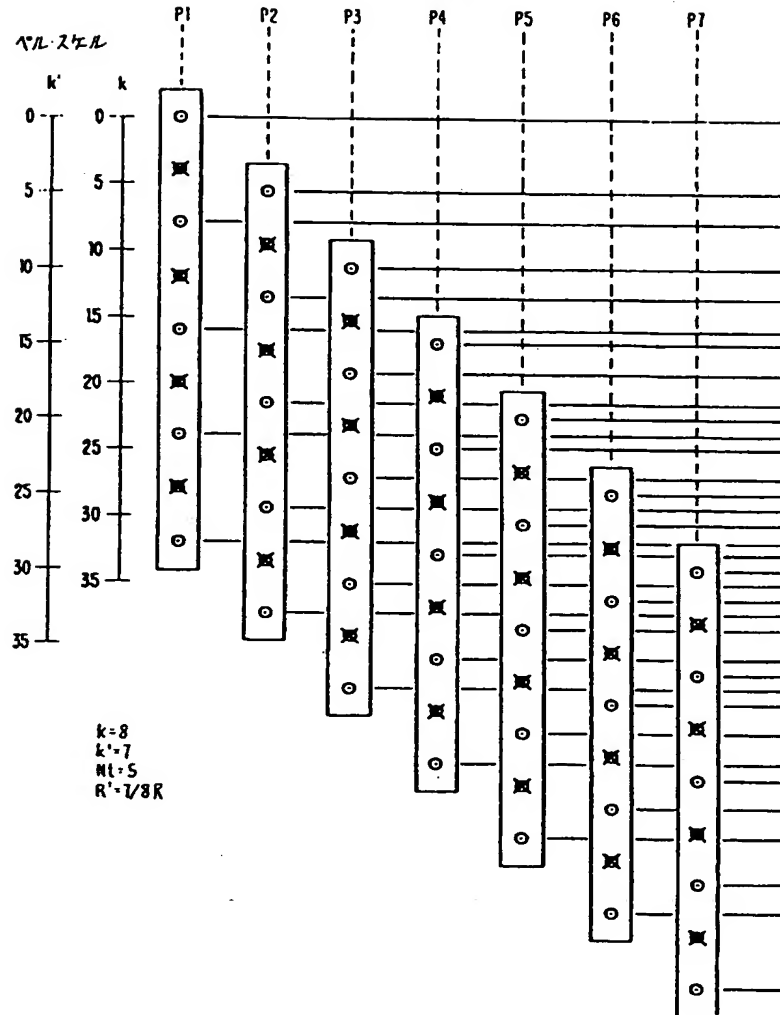
第 10 図



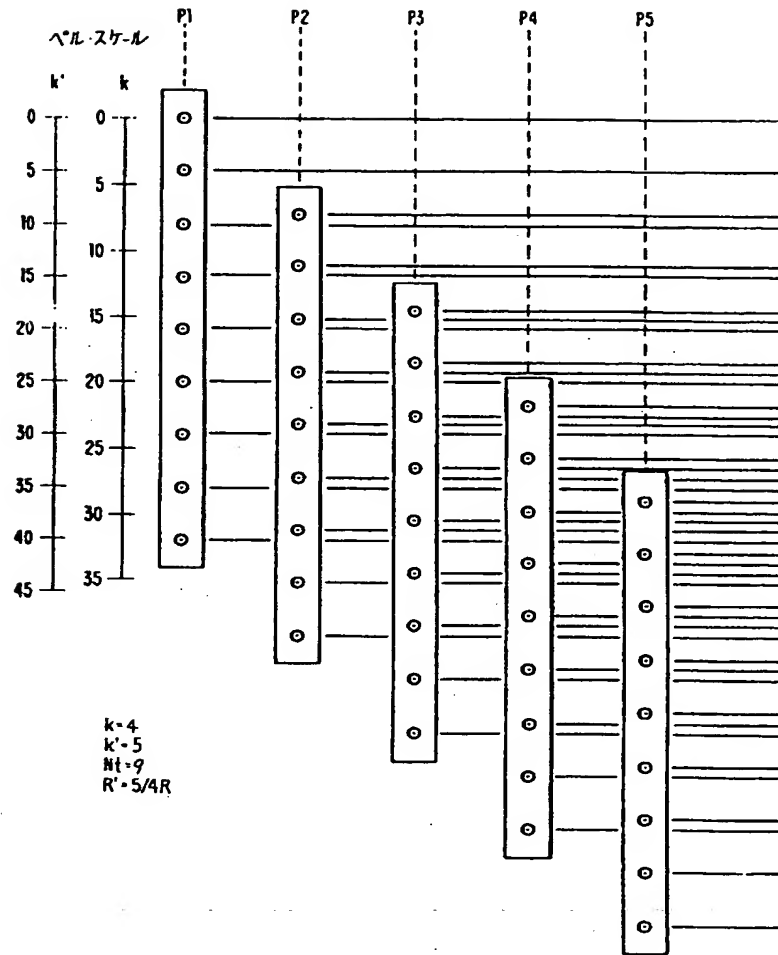
第7図



第1図D



第1図 E



第3図

